

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-213891

(43)公開日 平成8年(1996)8月20日

(51)Int.Cl.<sup>6</sup>

H03K 17/687

識別記号

庁内整理番号

9184-5K

F I

H03K 17/687

技術表示箇所

G

審査請求 未請求 請求項の数4 F D (全7頁)

(21)出願番号

特願平7-36083

(22)出願日

平成7年(1995)1月31日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 小浜 一正

東京都品川区北品川6丁目7番35号ソニー

株式会社内

(74)代理人 弁理士 田辺 恵基

(54)【発明の名称】 信号切換え装置

(57)【要約】

【目的】本発明は、信号切換え装置について、正電源動作で FETスイッチ回路を動作させることができる。

【構成】0ボルト以上に設定された第1の電圧 (V1) と、当該第1の電圧に比して高く設定された第2の電圧 (V2) を交互に印加することによって、電界効果型トランジスタ (21、31) をオンオフ動作させ、電界効果型トランジスタ (21、31) のドレインとソース間のチャネル部分を用いて入出力端子間の信号切り換えができる。

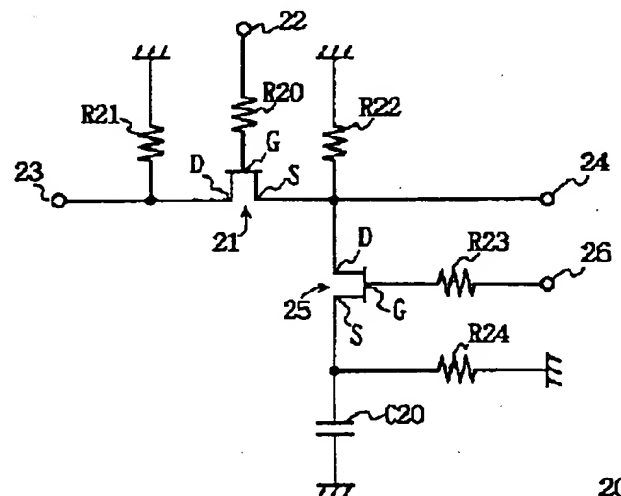


図1 第1の実施例のFETスイッチ回路

## 【特許請求の範囲】

【請求項 1】 入出力端子間に設けた電界効果型トランジスタのドレインとソース間のチャネル部分を信号の通路とする信号切換え装置において、

上記電界効果型トランジスタのゲートと高インピーダンスの第 1 の抵抗を介して設置される第 1 のゲート制御端子と、

上記電界効果型トランジスタのドレイン端子及び又はソース端子と対接地間に接続される第 2 の抵抗とを具え、  
上記第 1 のゲート制御端子に対して 0 ボルト以上に設定された第 1 の制御電圧と当該第 1 の制御電圧に比して高く設定された第 2 の制御電圧を交互に印加することを特徴とする信号切換え装置。

【請求項 2】 1 段又は複数段に直列接続され、上記入出力端子の少なくとも一つと対接地間にドレイン端子又はソース端子とで接続するシヤント用の電界効果型トランジスタと、

各上記シヤント用の電界効果型トランジスタに高インピーダンスの第 3 の抵抗を介して設置される第 2 のゲート制御端子と、

各上記入出力端子の少なくとも 1 つと対接地間に接続される第 4 の抵抗とでなり、上記第 1 の制御電圧と、当該第 1 の制御電圧、上記電界効果型トランジスタのビルトイン電圧及びピンチオフ電圧に比して高く設定される第 3 の制御電圧を上記第 1 のゲート制御端子と上記第 2 のゲート制御端子に対して互い違いに交互に印加することを特徴とする請求項 1 に記載の信号切換え装置。

【請求項 3】 1 段又は複数段に直列接続され、上記入出力端子の少なくとも一つと対接地間にドレイン端子又はソース端子とで接続するシヤント用の電界効果型トランジスタと、

各上記シヤント用の電界効果型トランジスタに高インピーダンスの第 3 の抵抗を介して設置される第 2 のゲート制御端子と、

各上記入出力端子の少なくとも 1 つと対接地間に接続される第 4 の抵抗と、各上記シヤント用の電界効果型トランジスタの接地側のドレイン端子又はソース端子と対接地間に接続される第 5 の抵抗と、

終段に接続される上記シヤント用の電界効果型トランジスタのドレイン端子又はソース端子と対接地間に接続される容量とでなり、上記第 1 の制御電圧と、当該第 1 の制御電圧と上記電界効果型トランジスタのビルトイン電圧の両方に比して高く設定される第 3 の制御電圧を上記第 1 のゲート制御端子と上記第 2 のゲート制御端子に対して互い違いに交互に印加することを特徴とする請求項 1 に記載の信号切換え装置。

【請求項 4】 上記電界効果型トランジスタは、接合型電界効果型トランジスタであることを特徴とする請求項 1 に記載の信号切換え装置。

【発明の詳細な説明】

## 【0001】

【目次】 以下の順序で本発明を説明する。

産業上の利用分野

従来の技術（図 6 及び図 7）

発明が解決しようとする課題

課題を解決するための手段（図 1～図 4）

作用（図 5）

実施例（図 1～図 5）

（1）第 1 の実施例（図 1 及び図 2）

（2）第 2 の実施例（図 3～図 5）

（3）他の実施例

発明の効果

## 【0002】

【産業上の利用分野】 本発明は信号切換え装置に関し、例えば高周波信号の入出力を切換えるものに適用して好適なものである。

## 【0003】

【従来の技術】 現在、自動車電話、携帯電話等の移動体通信ビジネスは大きく発展してきている。しかし、都市部においては、通信回線の不足が深刻になってきており、各国で様々な、移動体通信システムが立ち上がろうとしている。これらの通信システムの多くは、現在の移動体通信システムで用いている周波数帯域に対して、より高周波側の準マイクロ波帯を用いる。

【0004】 これらの通信システムにおける携帯端末においては、半導体電界効果型トランジスタ (FET) を用いて、準マイクロ波信号を処理する場合が多い。特に、準マイクロ波帯を使用していることと、端末が携帯性を重視するために、小型、低電圧駆動及び低消費電力が実現できる GaAs (ガリウム砒素) FET を使用した、MMIC (monolithic microwave integrated circuit) の開発が重要となつてきている。これらのマイクロ波信号処理デバイスの中で、携帯端末内で高周波信号を切り替える高周波スイッチが、重要なキーデバイスの一つとなつてきている。

【0005】 ガリウム砒素 FET をスイッチ用デバイスとして用いる場合、ゲートをピンチオフ電圧より、十分高い電圧に設定して、FET のソースドレイン間を低インピーダンス状態としてオンとする。逆に、ゲートをピンチオフ電圧より、十分低い電圧に設定して、FET を高インピーダンス状態としてオフとする。しかし、一般に、スイッチ用のガリウム砒素 FET のピンチオフ電圧は、負に設定される場合が多い。従つて、FET をオフ状態にするためには、ゲートの電位を負にバイアスする必要がある。

【0006】 図 6 にガリウム砒素 FET を用いた一般的なスイッチ回路の基本型を示す。図 6 に示すように、FET スwitch 回路 1 は入出力端子 2、3 間に FET 4 が設けられ、ゲート G を抵抗 R 1 を介して接続されるゲート制御端子 5 によつてオンオフ制御する。FET 4 と入出力端子

2間には、他端が接地された抵抗R2とFET6のドレインDを接続し、入出力端子3との間に他端を接地した抵抗R3を接続する。FET6は抵抗R4を介してゲートGに接続されるゲート制御端子7によつてオンオフ制御される。

【0007】このスイッチ回路1をオン状態にするときは、FET4はオン、FET6はオフに設定する。逆に、スイッチ回路1をオフ状態に設定するときは、FET4はオフ、FET6はオンに設定する。ここでFET6は、このスイッチ回路をオフ状態とした時に、FET4より漏れてくる高周波信号をグランドに引き込み、アイソレーションを高めるために設けられるシヤント用のFETである。一般に、ガリウム砒素FETを用いた高周波スイッチの場合には、信号経路に対し、シリーズに接続された1個のFET4のみでは十分なアイソレーション特性を得ることは難しいのでシヤントFET6を対接地間に接続する。

【0008】また、他に図7に示すような基本回路を用いて、ガリウム砒素FETを正電源で制御する方法がある。このFETスイッチ回路10の動作原理は図6のスイッチ回路1と基本的には同じであるが、各FETのドレイン、ソースのバイアス方法が異なっている。図7を見ればわかるように、コンデンサC1、C2、C3により、各FETのドレイン、ソース領域を、グランドと外部信号線より、DC的に分離している。さらに、抵抗R2、R4、R5を介して、 $V_{bias}$ 端子より、各FETのドレイン、ソース領域をDCバイアスを行っている。この場合、FETスイッチ回路10を正電源で動かすために、 $V_{bias}$ は正バイアスする。

【0009】この場合、ゲートに0[V]以上の制御電圧を印加しても $V_{bias}$ に対して電位が低ければ、ゲートのドレイン及びソースに対する相対的バイアスを負にすることが可能となる。これにより、FETのピンチオフ電圧が負であっても、FETのピンチオフ電圧を適当に選べば、FETをピンチオフ状態にすることが可能となり、スイッチング動作ができる。

【0010】

【発明が解決しようとする課題】ところで、スイッチ回路1を用いた場合、抵抗R2、R3、及びFET6が接続されているグランドよりDCバイアスされ、各FETのドレイン、ソースは0[V]に設定されることになる。従つて、先ほども述べたように、FETをオフ状態とするためには、ピンチオフ電圧が一般に負であるため、例えば、オンオフ制御電圧を0/-5Vのようにしてオフ時のゲートバイアスを負にしなければならない。しかし、携帯端末等でこのようなスイッチ回路を用いる場合、負電源を発生させるための、DC-DCコンバータ等の余分な外付け回路が必要となり、コストアップ、回路占有面積の増大につながり、スイッチ回路としては好ましくないという問題があつた。

【0011】またFETスイッチ回路10を用いた場合、

RF信号ラインバイアス用のDC端子 $V_{bias}$ が余分に必要であり、好ましくない。また、このDCバイアス系統を介した、アイソレーションの劣化や、寄生容量や寄生インダクタンスに起因する特性の悪化が起こりやすいという問題があつた。さらに、このFETスイッチ回路10をMMIC化する場合、経済的なチップサイズを考えれば、ICチップ内で実現できる容量は例えば、たかだか数十[pF]程度としかしているもので、UHF帯以下の信号は透過することができない。従つて、UHF帯以下の帯域ではICの特性は著しく悪化するという問題があつた。以上のように、正電源動作で十分な性能を示すスイッチICの実現は、現在の技術では困難である。

【0012】本発明は以上の点を考慮してなされたもので、正電源動作で高周波信号のFETスイッチ回路を動作させることのできる信号切換え装置を提案しようとするものである。

【0013】

【課題を解決するための手段】かかる課題を解決するため本発明においては、入出力端子間(23-24、33-34)に設けた電界効果型トランジスタ(21、31)のドレインとソース間のチャネル部分を信号の通路とする信号切換え装置(20、30)において、電界効果型トランジスタ(21、31)のゲートと高インピーダンスの第1の抵抗(R20、R30)を介して設置される第1のゲート制御端子(22、32)と、電界効果型トランジスタ(21、31)のドレイン端子及び又はソース端子と対接地間に接続される第2の抵抗(R21、R22、R31、R32)とを備え、ゲート制御端子(22、32)に対して、0ボルト以上に設定された第1の電圧(V1)と当該第1の電圧に比して高く設定された第2の電圧(V2)を交互に印加する。

【0014】

【作用】0ボルト以上に設定された第1の電圧(V1)と、当該第1の電圧に比して高く設定された第2の電圧(V2)を交互に印加することによつて、電界効果型トランジスタ(21、31)をオンオフ動作させ、電界効果型トランジスタ(21、31)のドレインとソース間のチャネル部分を用いて入出力端子間の高周波信号の信号切り換えができる。

【0015】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0016】(1)第1の実施例

図1において、20は全体として本発明によるJFET(junction field effect transistor)を用いたFETスイッチ回路を示し、FET21のゲートGに高インピーダンスの抵抗R20を介してゲート制御端子22を設け、ソースSとドレインDをそれぞれRF信号の入出力端子23、24とする。入出力端子23には、一端が接地された高インピーダンスの抵抗R21が他端を接続する。

また入出力端子 24 には、一端が接地された高インピーダンスの抵抗 R22 が他端を接続すると共に、FET25 のドレイン D を接続する。FET25 は、ゲート電圧を制御するゲート制御端子 26 が高インピーダンスの抵抗 R23 を介して接続されると共に、ソース S に一端を接続し他端を接地した高インピーダンスの抵抗 R24 と、他\*

$$0 \leq V1 < Vb < V2$$

の関係を有している。

【0018】図 2 の等化回路 20A に示すように、FET スイッチ回路 20 をオン状態に設定するときは、ゲート制御端子 22、26 に対してそれぞれ、制御電圧 V2、V1 を印加する。ここで数式 (1) より制御電圧 V2 は FET のビルトイン電圧 Vb より大きく設定してあるので、FET のゲート部分の接合は順方向バイアスとなり、低インピーダンス状態となる。この逆に FET スイッチ回路 20 をオフ状態に設定するときには、ゲート制御端子 22、26 に対してそれぞれ、制御電圧 V1、V2 が印\*

$$R_{00} = R21 \parallel R22 \parallel (R_{ds25} + R24)$$

で表され、この結果、RF 信号の入出力端子 23 と 24 20★【数 3】との電位差 V3 は数式 (2) を用いて次式 ★

$$V3 = (V2 - Vb) \frac{R_{00}}{R20 + R_{00}} \quad \text{..... (3)}$$

のように表される。

【0020】さらに FET25 はピンチオフ状態なので抵抗 R<sub>ds25</sub> が抵抗 R21、R22、R24 に対して十分に☆

$$R_{00} = R21 \parallel R22$$

のように変形でき、これを用いて数式 (3) は次式 ◆30◆【数 5】

$$V3 = (V2 - Vb) \frac{R21 \parallel R22}{R20 + R21 \parallel R22} \quad \text{..... (5)}$$

のように変形され得る。ここで制御電圧 V2 は、FET25 のビルトイン電圧 Vb よりも大きく設定しているので、数式 (5) より、電位差 V3 は正電位となる。従つ\*

$$V1 - V3 < 0$$

が成立して FET のゲート制御端子には相対的に負の電圧を印加することができる。このとき FET のピンチオフ電圧を適当に設定すれば、FET25 をピンチオフ状態とすることができ 40

【0021】以上の構成において、例えば、制御電圧 V2、V1 をそれぞれ 0 [V]、3 [V] とし、抵抗 R20、R23 をそれぞれ 5 [kΩ]、抵抗 R21、R22、R24 をそれぞれ 20 [kΩ] に設定する。ここで FET21 及び 25 にビルトイン電圧 Vb は 1.2 [V] のガリウム砒素の JFET を用いる。このとき RF 信号の入出力端子 23 と 24 の電位差 V3 は、数式 (2) より 1.2

[V] となる。従つて FET25 のゲート G のドレイン D に対する電位は -1.2 [V] となり、FET26 のピンチオ 50

\* 端を接地したコンデンサ C20 が接続されている。

【0017】FET スイッチ回路 20 は、ゲート制御端子 22、26 に対して制御電圧 V1 及び V2 を印加してオンオフ制御する。制御電圧 V1 及び V2 とは FET のビルトイン電圧 Vb との間に次式

$$\text{【数 1】} \quad \text{..... (1)}$$

※加される。

【0019】ゲート制御端子 22 に制御電圧 V2 を印加すると、抵抗 R20、FET21 を通じて電流 I が流れ、RF 信号ラインをバイアスする抵抗 R21、R22 及び R24 を通じてグランドに流れる。このとき FET21 のダイオード部分では、ビルトイン電圧 Vb 分の電圧降下が起こる。ここで、抵抗 R21、R22、R24 及び FET25 のドレイン-ソース間の抵抗 R<sub>ds25</sub> の並列接合のインピーダンス R<sub>00</sub> が次式

$$\text{【数 2】} \quad \text{..... (2)}$$

☆大きいので、並列接合のインピーダンス R<sub>00</sub> が次式【数 4】

$$\text{..... (4)}$$

\* 制御電圧 V1 を適当に選択すれば次式【数 6】

$$\text{..... (6)}$$

フ電圧 Vp を -1.2 [V] 以上、例えば、ピンチオフ電圧 Vp = -0.5 [V] とすれば、FET25 をオフ状態に設定できる。また逆にゲート制御端子 22、26 にそれぞれ制御電位 V1、V2 を印加すれば、同様の原理で FET21 はオフ状態、FET25 はオン状態になり、FET スイッチ回路 20 はオフ状態に設定される。

【0022】以上の構成によれば、FET スイッチ回路 20 を正電源動作によつてオン、オフ動作させることができる。さらに上述の実施例によれば、FET スイッチ回路 20 を構成する各 FET のドレイン、ソースのバイアスはスイッチング用 FET のゲートからなされ、各 RF 信号ラインのバイアス抵抗 R21、R22 及び R24 は接地されているので、電源バイパスコンデンサが不要となり、

これにより寄生リアクタンスを小さく抑えることができる。

#### 【0023】(2) 第2の実施例

図3において、30は本発明による第2の実施例のJFETを用いたFETスイッチ回路を示し、FET31のゲートGに高インピーダンスの抵抗R30を介してゲート制御端子32を設け、ソースSとドレインDにそれぞれ外部よりDC的に独立したRF信号の入出力端子33、34を設ける。入出力端子33には、一端が接地された高インピーダンスの抵抗R31の他端を接続する。また入出力端子34には、一端が接地された高インピーダンスの抵抗R32の他端が接続されると共に、シヤントFETとなるFET35及びFET36が2段にカスケード接続される。

【0024】FET35及びFET36は、FET31がドレインDを入出力端子34に接続してソースSを接地したFET36のドレインDと接続する。このFET35及びFET36には、ゲートGにそれぞれ高インピーダンスの抵抗R33、R34を介してゲート制御端子37、38が設けられている。FET35とFET36の接続点Aには他端を接地した高インピーダンスの抵抗R35を接続している。

【0025】このFETスイッチ回路30のオンオフは、ゲート制御端子32、37及び38に加えられる制御電圧V1、V2によつて制御される。

【0026】このFETスイッチ回路30をオン状態に設定するときは、ゲート制御端子32に対して制御電圧V2を印加し、同時にゲート制御端子35及び36に対してそれぞれ、制御電圧V1を印加する。反対にオフ状態に設定するときには、ゲート制御端子32に対して制御電圧V1を印加し、同時にゲート制御端子35及び36に対してそれぞれ、制御電圧V2を印加する。

【0027】以上の構成において、図4の等価回路30Aに示すように、FETスイッチ回路30をオン状態に設定する場合、制御電圧V1を0[V]としてゲート制御端子32に正電圧でなる制御電圧V2、ゲート制御端子37、38のそれぞれに対して0[V]の制御電圧V1を同時に印加する。このときFET35、36のアイソレーションが十分に保たれていれば、FET31のゲートチャネル間にはビルトイン電圧程度の電圧が印加されるため、FET31はオン状態となる。

【0028】すなわち、ゲート制御端子32に制御電圧V2が印加されると、電流Iが抵抗R30、FET31のゲートGを通り、抵抗R31、32、35及びFET36のソースドレイン間の抵抗(抵抗 $R_{ds36}$ )を通りグラウンドに流れる。このとき抵抗R35及びFET35のソースドレイン間の抵抗(抵抗 $R_{ds35}$ )を電流が流れることにより、電圧降下を起こしFET31とFET36との間の電位 $V_{ds2}$ が上がる。従つて上述した第1の実施例の\*

$$0 \leq V_4 < V_p < V_b < V_5$$

\*場合によるシヤントFET25が1段の場合に比べてFET31のソース電位が高くなり、その分、ゲート制御電圧を低く設定することができる。つまり制御電圧V1が0[V]の場合、FET35のゲートGのソースSに対する電位は $-V_{ds2}$ となり、 $V_{ds2}$ 分だけゲート電位が低く設定できることになる。

【0029】このようにシヤントFETを2段にすれば、シヤントFETが1段の場合に比較してピンチオフ電圧 $V_p$ を低く設定してもFET31をピンチオフ状態に設定することができる。また、このときFET36ではアイソレーションが不十分であつてもFET35でアイソレーションが保持されれば、FET35及び36でなるシヤント枝からの信号の漏れはなくスイッチ回路としての損失を小さく抑えることができる。

【0030】図5にシヤントFETを1段にしたとき、2段にしたときのピンチオフ電圧に対する挿入損失の依存性をシミュレーションした結果を示す。これにより、シヤントFETを2段にした場合(図中aで示す)はシヤントFETを1段接続したとき(図中bで示す)に比して、低挿入損失域が電圧の低い側に約0.05[V]延びていることがわかる。従つてシヤントFETを2段にすることにより、FETのピンチオフ電圧をその分、低く設定することができ、オン状態のドレインソース間の抵抗を軽減できる。

【0031】以上の構成によれば、第1の実施例と同様の効果が得られるのに加え、シヤント部分のFET35及び36を2段にカスケード接続したことにより、グラウンドに近い側のFETの電圧降下分だけ、信号経路に近い側のFETのソース電位が上がり、相対的に信号経路に近い側のFETのソースに対するゲート電位が低く設定できる。これにより、FETのピンチオフ電圧を正に高く設定しなくても正電源のみで動作するFETスイッチ回路を実現できる。またこのときピンチオフ電圧を低く設定するため、FETのオン抵抗を小さくすることができ、FETスイッチの挿入損失を小さく抑えることができる。

【0032】さらに上述の実施例によれば、ガリウム砒素のMES FET (metal semiconductor field effect transistor) のようなビルトイン電圧が低いFETを用いても正電源動作が実現可能となる。さらに上述の実施例によれば、シヤントFETとグラウンド間に容量が無いいため、DCからマイクロ波帯域までの動作が可能となる。

#### 【0033】(3) 他の実施例

なお上述の実施例においては、シヤントFETを2段に接続した場合について述べたが、本発明はこれに限らず、シヤントFETを1段接続としても良い。この場合、回路は図1に示したFETスイッチ回路20と同一のものが用いられるが、この際、FETのピンチオフ電圧 $V_p$ とゲートの制御電圧V4、V5との関係が次式

【数7】

..... (7)

となるように設定する。この結果、ゲート制御端子 22 及び 26 に正電圧となる制御電圧  $V_4$  を加えれば、FET 21 及び 25 はオン状態となり、 $V_5$  を加えることによってオフ状態とすることができ正電源で信号切り換え動作ができる。

【0034】また上述の実施例においては、2つの入出力端子間に設けられた FET スイッチ回路について述べたが、本発明はこれに限らず、3つ以上の入出力端子間に上述した FET スイッチ回路を複数段接続して、入出力端子間の信号経路を切換えるようにしても良い。また上述の実施例においては、シヤント FET を 1 段又は 2 段に接続した場合について述べたが、本発明はこれに限らず、必要に応じて段数を増やしても良い。

【0035】また上述の実施例においては、各入出力端子と対接地間にそれぞれ高インピーダンスの抵抗  $R_2$  1、 $R_2$  2、 $R_3$  2、 $R_3$  3 を設けた場合について述べたが、本発明はこれに限らず、少なくとも 1 つの入出力端子と対接地間に抵抗を設けるようにすれば良い。

【0036】

【発明の効果】 上述のように本発明によれば、0 ボルト以上に設定された第 1 の電圧と、当該第 1 の電圧に比して高く設定された第 2 の電圧を交互に印加することによって、電界効果型トランジスタをオンオフ動作させ、電界効果型トランジスタのドレインとソース間のチャネル部分を用いて入出力端子間の信号切り換えができ、かくして正電源動作で信号切り換え動作させることのできる

信号切換え装置を実現し得る。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施例による FET スイッチ回路の説明に供する回路図である。

【図 2】 図 1 の FET スイッチ回路の等価回路を示す回路図である。

【図 3】 本発明の第 2 の実施例による FET スイッチ回路の説明に供する回路図である。

【図 4】 図 3 の FET スイッチ回路の等価回路を示す回路図である。

【図 5】 2 段にシヤント FET を接続した場合の FET スイッチ回路のピンチオフ電圧に対する挿入損失の推移を示すグラフである。

【図 6】 従来の FET スイッチ回路の説明に供する回路図である。

【図 7】 図 6 の FET スイッチ回路の等価回路を示す回路図である。

【符号の説明】

1、20、30…… FET スイッチ回路、2、3、23、24、33、34…… 入出力端子、4、6、21、25、31、35、36…… FET、5、7、22、26、32、37、38…… ゲート制御端子、 $R_1$ 、 $R_2$ 、 $R_3$ 、 $R_4$ 、 $R_{20}$ 、 $R_{21}$ 、 $R_{22}$ 、 $R_{23}$ 、 $R_{24}$ 、 $R_{30}$ 、 $R_{31}$ 、 $R_{32}$ 、 $R_{33}$ 、 $R_{34}$ …… 抵抗、 $C_1$ 、 $C_2$ 、 $C_3$ 、 $C_{20}$ …… コンデンサ。

【図 1】

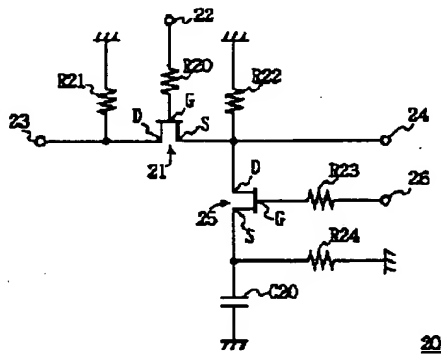


図 1 第 1 の実施例の FET スイッチ回路

【図 2】

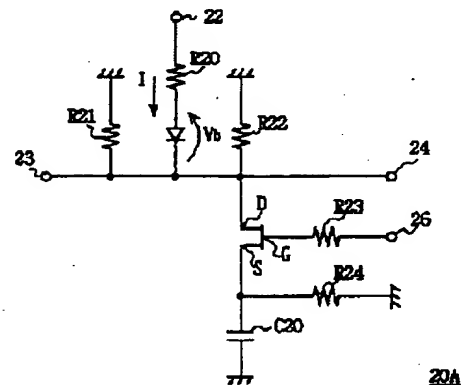


図 2 FET スイッチ回路の等価回路

【図3】

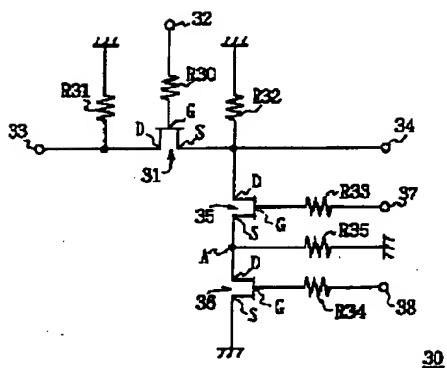


図3 第2の実施例のFETスイッチ回路

【図4】

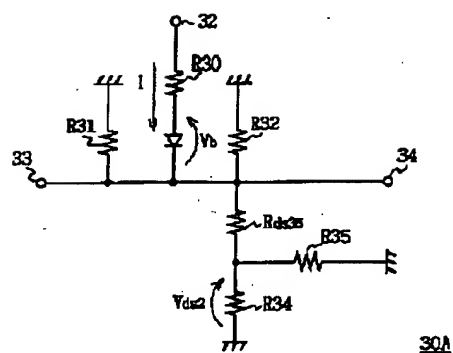
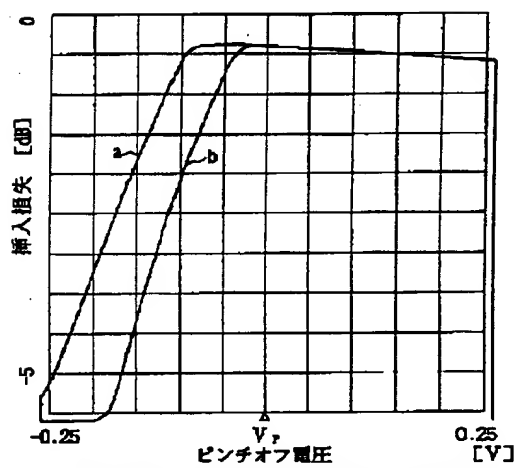


図4 FETスイッチ回路の等価回路

【図5】

図5 正電源動作スイッチの挿入損失の $V_{th}$ 依存性

【図6】

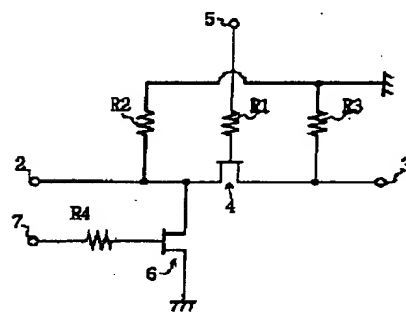


図6 従来のFETを用いたスイッチ回路(1)

【図7】

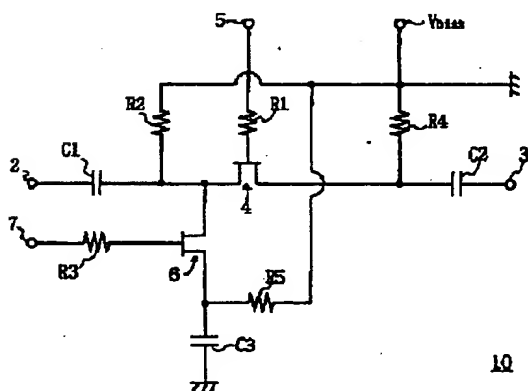


図7 従来のFETを用いたスイッチ回路(2)